

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-296331

(43)Date of publication of application : 26.10.2001

(51)Int.Cl.

G01R 31/28

G06F 11/22

(21)Application number : 2000-112495

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.04.2000

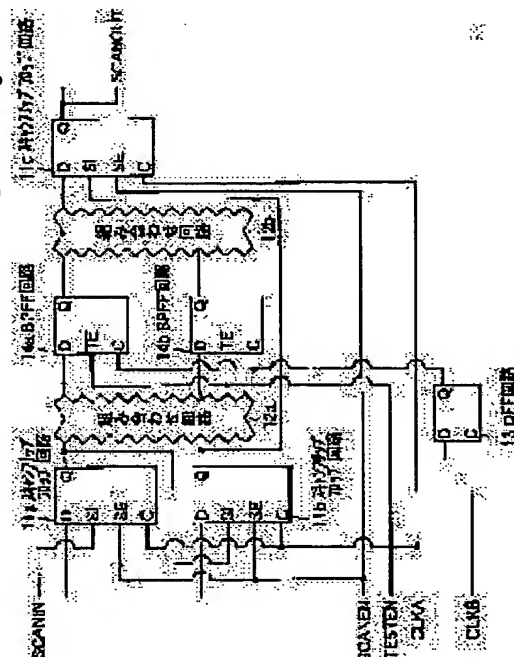
(72)Inventor : TERADA MASAHIKO

(54) SCAN TEST CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a scan test circuit by which a test pattern can be created with reference to a gate connected to a flip-flop circuit in a scan test and which realizes a high failure detection rate.

SOLUTION: The scan test circuit is provided with scan clip-flop circuits 11a to 11c combination circuits 12a, 12b, a DFF (D-type flip flop) circuit 13 and BPFF circuits 14a, 14b. The BPFF circuits 14a, 14b are provided with data input terminals Ds, test enable signal input terminals TEs, clock signal input terminals Cs, data output terminals Qs and DFF circuits. The BPFF circuits 14a, 14b are provided with AND gates by which signals to be output from the DFF circuits and inversion signals of test enable signals are ANDed so as to be output. The BPFF circuits 14a, 14b are provided with AND gates in which the test enable signals and data signals are ANDed so as to be output. The BPFF circuits 14a, 14b are provided with OR gates in which signals which are output from the AND gates are ORed so as to be output to the data output terminals Qs.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-296331

(P2001-296331A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

G 0 1 R 31/28

G 0 6 F 11/22

3 6 0 P 2 G 0 3 2

G 0 6 F 11/22

3 6 0

G 0 1 R 31/28

G 5 B 0 4 8

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願2000-112495 (P2000-112495)

(22) 出願日 平成12年4月13日 (2000. 4. 13)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 寺田 雅彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外1名)

Fターム (参考) 20032 AA01 AC10 AG07 AG10 AH07

AK16

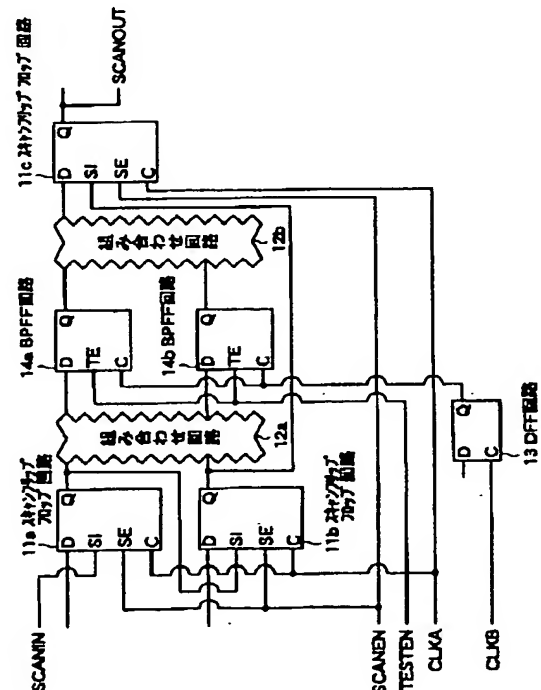
5B048 AA01 CC18 DD05

(54) 【発明の名称】 スキャンテスト回路

(57) 【要約】

【課題】 スキャンテスト時に、フリップフロップ回路に接続されるゲートに対してテストパターンを作成することができ、高い故障検出率を実現するスキャンテスト回路を提供する。

【解決手段】 本発明のスキャンテスト回路は、スキャンフリップフロップ回路11a~11cと、組み合わせ回路12a、12bと、DFF (D-type Flip Flop) 回路13と、BPFF回路14a、14bとを備えることを特徴とする。BPFF回路14a、14bは、データ入力端子Dと、テストイネーブル信号入力端子TEと、クロック信号入力端子Cと、データ出力端子Qと、DFF回路と、DFF回路から出力された信号とテストイネーブル信号の反転信号を論理積して出力するANDゲートと、テストイネーブル信号とデータ信号を論理積して出力するANDゲートと、ANDゲートから出力される信号を論理和してデータ出力端子Qに出力するORゲートとを備えている。



【特許請求の範囲】

【請求項1】 複数の論理回路と、前記論理回路間に設けられたFF (FlipFlop) 回路と、を有する半導体集積回路をスキャンテストするスキャンテスト回路において、

前記半導体集積回路のデータ入力側に設けられた入力側スキャンFF回路と、

前記半導体集積回路のデータ出力側に設けられた出力側スキャンFF回路と、を備え、

前記FF回路は、所定の信号によって、スキャンテストの際に、当該入力側スキャンFF回路とそれに接続する回路及び出力側スキャンFF回路とを同期させることを特徴とするスキャンテスト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路を評価するスキャンテスト回路に関し、特に、マルチプレクススキャン式フリップフロップを用いたスキャンテスト回路に関する。

【0002】

【従来の技術】 半導体集積回路の設計、製造においては、設計、製造された半導体集積回路が必要な仕様を満たすか否かを検証するために、テストを行うことが必要である。近年、半導体技術の急速な進歩に伴って半導体集積回路は大規模化、複雑化しており、それらを効率的にテストするものとしてスキャンテスト回路が提案されている。

【0003】 図3は、従来のスキャンテスト回路の構成を示す回路図である。図3において、従来のスキャンテスト回路は、スキャンフリップフロップ回路31a～31cと、組み合わせ回路32a、32bと、DFF (D-type Flip Flop) 回路33a～33cと、を備えている。また、DFF回路33a～33cは、データ信号を受け取るデータ入力端子Dと、クロック信号を受け取るクロック信号入力端子Cと、データ信号を出力するデータ出力端子Qと、を備えている。

【0004】 ここで、スキャンフリップフロップ回路31a～31cは、外部からのクロック信号 (CLKA) によって動作が制御される。

【0005】 また、DFF回路33aは、外部からのクロック信号 (CLKB) によって動作が制御され、DFF回路33b、33cは、DFF回路33aのデータ出力端子Qから出力される信号をクロック信号として受け取り、それによって動作が制御される。

【0006】 次に、スキャンフリップフロップ回路31a～31cの構成について詳細に説明する。

【0007】 図4は、図3に示したスキャンフリップフロップ回路31a～31cの構成を示す回路図である。図4に示すとおり、このスキャンフリップフロップ回路31a～31cは、データ信号を受け取るデータ入力端

子Dと、スキャンデータ信号を受け取るスキャン入力端子S1と、スキャンデータ信号を受け取るためのトリガとなるスキャンイネーブル信号 (SCANEN) を受け取るスキャンイネーブル信号入力端子SEと、クロック信号 (CLKA) を受け取るクロック信号入力端子Cと、データ信号及びスキャンデータ信号となる出力データ信号を出力するデータ出力端子Qと、データ入力端子Dに入力されたデータ信号とスキャンイネーブル信号入力端子SEに入力されたスキャンイネーブル信号 (SCANEN) の反転信号を論理積して出力するANDゲート41と、スキャンイネーブル信号入力端子SEに入力されたスキャンイネーブル信号 (SCANEN) とスキャン入力端子S1に入力されたスキャンデータ信号を論理積して出力するANDゲート42と、ANDゲート41及びANDゲート42から出力される信号を論理和して出力するORゲート43と、ORゲート43から出力された信号を受け取り、クロック信号入力端子Cで受け取ったクロック信号 (CLKA) に基づいて出力データ信号としてデータ出力端子Qから出力するDFF回路44と、を備えている。

【0008】 図4に示されるとおり、スキャンフリップフロップ回路31a～31cは、スキャンイネーブル信号入力端子SEにスキャンイネーブル信号 (SCANEN) としてロー信号が入力されている時には、データ入力端子Dに入力されたデータ信号をデータ出力端子Qから出力する通常動作モードとなる。一方、スキャンイネーブル信号入力端子SEにスキャンイネーブル信号 (SCANEN) としてハイ信号が入力されている時には、スキャン入力端子S1に入力されたスキャンデータ信号をデータ出力端子Qから出力するスキャンテストモードとなる。

【0009】 次に、従来のスキャンテスト回路の動作について、図3及び図4に基づいて詳細に説明する。スキャンイネーブル信号 (SCANEN) としてハイ信号が入力されると、スキャンフリップフロップ回路31a～31cは、スキャンテストモードとなり、一連のシフトレジスタとして機能する。まず、スキャンフリップフロップ回路31aは、クロック信号入力端子Cで受け取ったクロック信号 (CLKA) に基づいて、入力スキャンデータ信号 (SCANIN) をスキャン入力端子S1で受け取り、出力データ信号としてデータ出力端子Qから出力する。この出力データ信号は、データ信号として組み合わせ回路32aに入力されると共に、スキャンデータ信号としてスキャンフリップフロップ回路31bのスキャン入力端子S1に入力される。次に、スキャンフリップフロップ回路31bは、クロック信号入力端子Cで受け取ったクロック信号 (CLKA) に基づいて、スキャンフリップフロップ回路31aのデータ出力端子Qから出力されたスキャンデータ信号をスキャン入力端子S1で受け取り、出力データ信号としてデータ出力端子Q

から出力する。この出力データ信号は、データ信号として組み合わせ回路32aに入力されると共に、スキャンデータ信号としてスキャンフリップフロップ回路31cのスキャン入力端子S1に入力される。組み合わせ回路32aでは、スキャンフリップフロップ回路31a及びスキャンフリップフロップ回路31bのデータ出力端子Qから出力されるデータ信号を論理処理して、DFF回路33b及びDFF回路33cにデータ信号として出力する。

【0010】一方、DFF回路33aは、データ信号をデータ入力端子Dで受け取り、クロック信号入力端子Cで受け取ったクロック信号(CLK)に基づいて、出力データ信号をデータ出力端子QからDFF回路33b及びDFF回路33cに出力する。この出力データ信号は、クロック信号としてDFF回路33b及びDFF回路33cのクロック信号入力端子Cに入力される。次に、DFF回路33b及びDFF回路33cは、組み合わせ回路32aからのデータ信号をデータ入力端子Dで受け取り、クロック信号入力端子Cで受け取ったクロック信号に基づいて、データ信号をデータ出力端子Qから組み合わせ回路32bに出力する。組み合わせ回路32bでは、DFF回路33b及びDFF回路33cからのデータ信号を論理処理して、スキャンフリップフロップ回路31cにデータ信号として出力する。

【0011】次に、スキャンフリップフロップ回路31cは、クロック信号入力端子Cで受け取ったクロック信号(CLK)に基づいて、スキャンフリップフロップ回路31bのデータ出力端子Qから出力されたスキャンデータ信号をスキャン入力端子S1で受け取り、データ信号及び出力スキャンデータ信号(SCANOUT)を出力データ信号としてデータ出力端子Qから出力する。なお、この出力スキャンデータ信号(SCANOUT)は、次段のスキャンテスト回路に対する入力スキャンデータ信号(SCANIN)とすることができる。

【0012】この様に、スキャンフリップフロップ回路31a~31cをシフトレジスタとして機能させ、入力スキャンデータ信号(SCANIN)を入力して出力スキャンデータ信号(SCANOUT)を取り出し、それを予め設定した期待値と比較することによって、スキャンテストの対象となる論理回路における故障の有無を判別することができる。

【0013】

【発明が解決しようとする課題】しかしながら、図3及び図4に示したような上述の従来のスキャンテスト回路においては、DFF回路33a~33cとスキャンフリップフロップ回路31b、31cに供給されるクロック信号が異なるため、組み合わせ回路32a、32bに対して、スキャンフリップフロップ回路31a~31cを使用して、故障を検出するためのテストパターンが作成できないという問題があった。

【0014】このことにより、スキャンテストの対象となる回路の故障検出率が低くなってしまうという問題があった。

【0015】そこで、上記の点に鑑み、本発明の目的は、スキャンテスト時に、フリップフロップ回路に接続されるゲートに対してテストパターンを作成することができ、スキャンテストの対象となる回路に対して高い故障検出率を実現することができるスキャンテスト回路を提供することである。

【0016】

【課題を解決するための手段】以上の課題を解決するため、本発明のスキャンテスト回路は、複数の論理回路と、論理回路間に設けられたFF(Flip Flop)回路とを有する半導体集積回路をスキャンテストするスキャンテスト回路であって、半導体集積回路のデータ入力側に設けられた入力側スキャンFF回路と、半導体集積回路のデータ出力側に設けられた出力側スキャンFF回路とを備え、FF回路は、スキャンテストの際に入力側スキャンFF回路とそれに接続する回路及び出力側スキャンFF回路とを同期させることを特徴とする。

【0017】スキャンテストの際に、FF回路が入力側スキャンFF及び出力側スキャンFFと同期するため、FF回路に接続されるゲートに対してテストパターンを作成することができる。

【0018】

【発明の実施の形態】以下、図面に基づいて、本発明のスキャンテスト回路について説明する。

【0019】図1は、本発明のスキャンテスト回路の構成を示す回路図である。図1において、このスキャンテスト回路は、スキャンフリップフロップ回路11a~11cと、組み合わせ回路12a、12bと、DFF(D-type Flip Flop)回路13と、データバイパス回路付きフリップフロップ(以下、単にBPFF回路という)14a、14bと、を備えている。

【0020】スキャンフリップフロップ回路11a~11cは、データ信号を受け取るデータ入力端子Dと、スキャンデータ信号を受け取るスキャン入力端子S1と、スキャンデータ信号を受け取るためのトリガとなるスキャンイネーブル信号(SCANEN)を受け取るスキャンイネーブル信号入力端子SEと、クロック信号(CLK)を受け取るクロック信号入力端子Cと、データ信号及びスキャンデータ信号を出力データ信号として出力するデータ出力端子Qと、を備えている。

【0021】また、DFF回路13は、データ信号を受け取るデータ入力端子Dと、クロック信号を受け取るクロック信号入力端子Cと、データ信号を出力するデータ出力端子Qと、を備えている。

【0022】ここで、スキャンフリップフロップ回路11a~11cは、外部からのクロック信号(CLK)によって動作が制御される。

【0023】また、DFF回路13は、外部からのクロック信号（CLKB）によって動作が制御され、BPF回路14a、14bは、DFF回路13のデータ出力端子Qから出力される信号をクロック信号として受け取り、それによって動作が制御される。

【0024】次に、BPFF回路14a、14bの構成について詳細に説明する。

【0025】図2は、図1に示したBPFF回路14a、14bの構成の一例を示す回路図である。図2に示すとおり、このBPFF回路14a、14bは、データ信号を受け取るデータ入力端子Dと、スキャンイネーブル信号（SCANEN）をテストイネーブル信号として受け取るテストイネーブル信号入力端子TEと、クロック信号を受け取るクロック信号入力端子Cと、データ信号を出力するデータ出力端子Qと、データ信号をデータ入力端子Dで受け取りクロック信号入力端子Cで受け取ったクロック信号に基づいてデータ信号をデータ出力端子Qから出力するDFF回路21と、DFF回路21のデータ出力端子Qから出力されたデータ信号とテストイネーブル信号入力端子TEに入力されたテストイネーブル信号の反転信号を論理積して出力するANDゲート22と、テストイネーブル信号入力端子TEに入力されたテストイネーブル信号とデータ入力端子Dに入力されたデータ信号を論理積して出力するANDゲート23と、ANDゲート22及びANDゲート23から出力される信号を論理和してデータ出力端子Qに出力するORゲート24と、を備えている。

【0026】図2に示されるとおり、BPFF回路14a、14bは、テストイネーブル信号入力端子TEにテストイネーブル信号としてロー信号が入力されている時には、データ入力端子Dに入力された信号をデータ出力端子Qから出力する通常動作モードとなる。また、テストイネーブル信号入力端子TEにテストイネーブル信号としてハイ信号が入力されている時には、クロック信号入力端子Cに入力されるクロック信号に関わらず、データ入力端子Dに入力されたデータ信号をデータ出力端子Qから出力するスキャンテストモードとなる。

【0027】次に、本発明のスキャンテスト回路の動作について、図1及び図2に基づいて詳細に説明する。スキャンイネーブル信号（SCANEN）としてハイ信号が入力されると、スキャンフリップフロップ回路11a～11cは、スキャンテストモードとなり、一連のシフトレジスタとして機能する。また、BPFF回路14a、14bは、スキャンテスト時、テストイネーブル信号（TESTEN）のハイ信号をテストイネーブル信号として受け取る。

【0028】まず、スキャンフリップフロップ回路11aは、クロック信号入力端子Cで受け取ったクロック信号（CLKA）に基づいて、入力スキャンデータ信号（SCANIN）をスキャン入力端子S1で受け取り、

出力データ信号としてデータ出力端子Qから出力する。この出力データ信号は、データ信号として組み合わせ回路12aに入力されると共に、スキャンデータ信号としてスキャンフリップフロップ回路11bのスキャン入力端子S1に入力される。

【0029】次に、スキャンフリップフロップ回路11bは、クロック信号入力端子Cで受け取ったクロック信号（CLKA）に基づいて、スキャンフリップフロップ11aのデータ出力端子Qから出力されたスキャンデータ信号をスキャン入力端子S1で受け取り、出力データ信号としてデータ出力端子Qから出力する。この出力データ信号は、データ信号として組み合わせ回路12aに入力されると共に、スキャンデータ信号としてスキャンフリップフロップ回路11cのスキャン入力端子S1に入力される。組み合わせ回路12aでは、スキャンフリップフロップ回路11a及びスキャンフリップフロップ回路11bのデータ出力端子Qから出力されるデータ信号を論理処理して、BPFF回路14a及びBPFF回路14bにデータ信号として出力する。

【0030】一方、DFF回路13は、データ信号をデータ入力端子Dで受け取り、クロック信号入力端子Cで受け取ったクロック信号（CLKB）に基づいて、出力データ信号をデータ出力端子QからBPFF回路14a及びBPFF回路14bに出力する。この出力データ信号は、クロック信号としてBPFF回路14a及びBPFF回路14bのクロック信号入力端子Cに入力される。このとき、BPFF回路14a及びBPFF回路14bは、スキャンテストモードであるため、組み合わせ回路12aからのデータ信号をデータ入力端子Dで受け取り、ANDゲート23及びORゲート24を介してデータ出力端子Qから組み合わせ回路12bに出力する。組み合わせ回路12bでは、BPFF回路14a及びBPFF回路14bからのデータ信号を論理処理して、スキャンフリップフロップ回路11cにデータ信号として出力する。

【0031】次に、スキャンフリップフロップ回路11cは、クロック信号入力端子Cで受け取ったクロック信号（CLKA）に基づいて、スキャンフリップフロップ11bのデータ出力端子Qから出力されたスキャンデータ信号をスキャン入力端子S1で受け取り、データ信号及び出力スキャンデータ信号（SCANOUT）を出力データ信号としてデータ出力端子Qから出力する。なお、この出力スキャンデータ信号（SCANOUT）は、次段のスキャンテスト回路に対する入力スキャンデータ信号（SCANIN）とすることができる。

【0032】この様に、スキャンフリップフロップ回路11a～11cをシフトレジスタとして機能させ、入力スキャンデータ信号（SCANIN）を入力して出力スキャンデータ信号（SCANOUT）を取り出し、それを予め設定した期待値と比較することによって、スキャ

ンテストの対象となる論理回路における故障の有無を判別することができる。

【0033】さらに、BPFF回路14a、14bは、通常動作モードとバイパスモードの切替ができるため、組み合わせ回路12a及び12bに対して、故障を検出するためのテストパターンを適宜作成することができる。

【0034】また、このテストパターンの作成は、ATPG (Auto Test Pattern Generator) によって、自動的に行うことができる。

【0035】

【発明の効果】以上のように、本発明のスキャンテスト回路によれば、スキャンフリップフロップ回路11a～11cにより、BPFF回路14a、14bをバイパスモードに切替えることができるので、スキャンテスト時に、フリップフロップ回路に接続されるゲートに対してテストパターンを作成することができ、高い故障検出率を実現することができるスキャンテスト回路を提供する

ことができるようになった。

【図面の簡単な説明】

【図1】本発明のスキャンテスト回路の構成を示す回路図である。

【図2】BPFF回路の構成を示す回路図である。

【図3】従来のスキャンテスト回路の構成を示す回路図である。

【図4】スキャンフリップフロップ回路の構成を示す回路図である。

【符号の説明】

11a～11c、31a～31c スキャンフリップフロップ回路

12a、12b、32a、32b 組み合わせ回路

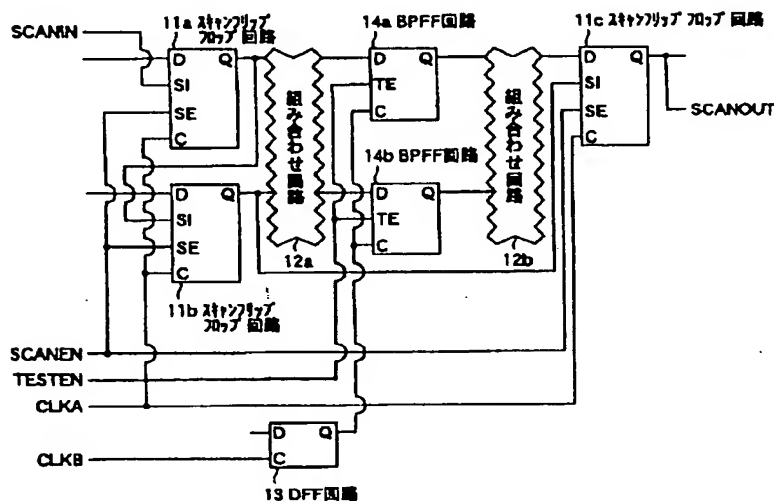
13、21、33a～33c、44 DFF回路

14a、14b BPFF回路

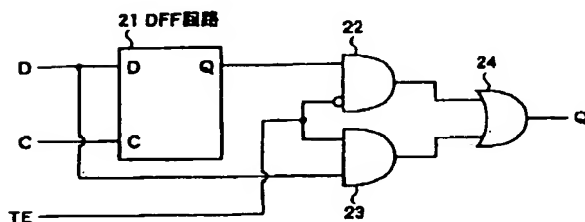
22、23、41、42 ANDゲート

24、43 ORゲート

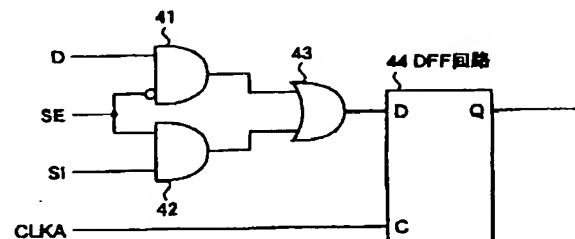
【図1】



【図2】



【図4】



【図3】

